

SCRAMBLE METHOD AND DEVICE

Patent Number: JP5327695
Publication date: 1993-12-10
Inventor(s): SAITO TOMOHIRO
Applicant(s): MAINICHI HOSO:KK
Requested Patent: ☐ JP5327695
Application Number: JP19920135304 19920527
Priority Number(s):
IPC Classification: H04L9/18; G06F7/58; G09C1/00; H04N1/44
EC Classification:
Equivalents: JP8017381B

Abstract

PURPOSE: To realize the scrambling of a facsimile signal of a television facsimile multiplex broadcast by the software of a microcomputer or the like.

CONSTITUTION: An initial value is set on a 1st register R1 having plural (n) cells, the content is transferred to a 2nd register R2, a 3rd register R3 is cleared, a least bit of the R2 is added to the register R3, the storage content in the R2 is shifted toward the low-order direction by a prescribed number $(f(k+1)-fk)$ bits, exclusive OR arithmetic operation between the final output Dfk and the storage content in the R3 having a cell by one bit is implemented and the result is stored in the R3 and it is repeated from $k=1$ till the predetermined number (i) and the lowest order bit of the R1 is stored sequentially in the memory. Then the R1 is shifted in the low-order direction by one bit, the lowest bit in the R3 is transferred to the highest bit of the R1 and after the operation as above is repeated by a predetermined number of times M, the exclusive OR between bits of the signal to be sent and bits of the storage content in the memory is calculated and the result is outputted.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-327695

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 9/18				
G 0 6 F 7/58	A	9188-5B		
G 0 9 C 1/00		9194-5L		
H 0 4 N 1/44		2109-5C		
		7117-5K		
			H 0 4 L 9/ 02	B
			審査請求 有	請求項の数 4 (全 8 頁) 最終頁に続く

(21)出願番号 特願平4-135304
 (22)出願日 平成4年(1992)5月27日

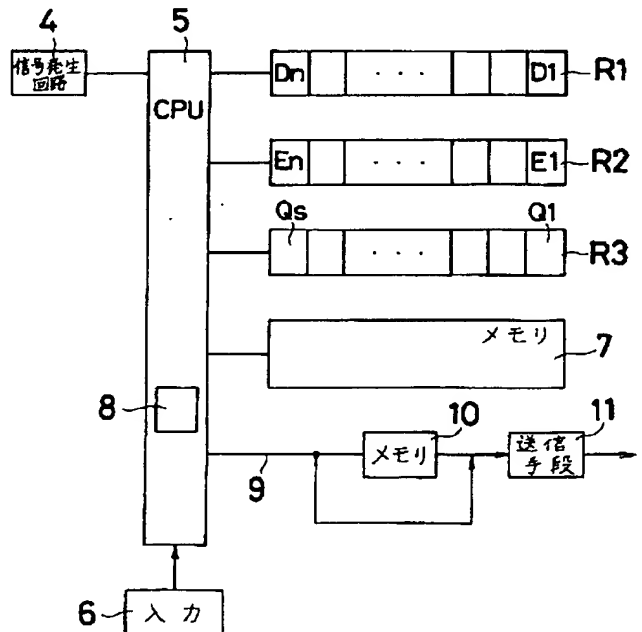
(71)出願人 391004104
 株式会社毎日放送
 大阪府大阪市北区茶屋町17番1号
 (72)発明者 齋藤 友宏
 大阪市北区茶屋町17番1号 株式会社毎日
 放送内
 (74)代理人 弁理士 西教 圭一郎 (外3名)

(54)【発明の名称】 スクランブル方法および装置

(57)【要約】

【目的】 テレビジョン・ファクシミリ多重放送のファクシミリ信号のスクランブルを、マイクロコンピュータのソフトウェアなどによって実現すること。

【構成】 複数nのセルを有する第1レジスタR1に初期値を設定し、その内容を第2レジスタR2に転送し第3レジスタR3をクリアした後、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ、下位方向にシフトし、最終出力Df kと、1ビット分のセルを有する第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、 $k=1$ から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に第1レジスタR1を1ビット分だけ下位方向にシフトするとともに第3レジスタR3の最下位ビットを第1レジスタR1の最上位ビットに転送し、このような演算を予め定める回数Mだけ繰返した後、送信すべき信号の各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する。



【特許請求の範囲】

【請求項 1】 複数 n のセルを有する第 1 レジスタ R_1 に初期値を設定する第 1 ステップと、
 第 1 レジスタ R_1 の内容を保持したままで、第 1 レジスタ R_1 と同数のセルを有する第 2 レジスタ R_2 に、第 1 レジスタ R_1 の内容を転送し、さらに複数のセルを有する第 3 レジスタ R_3 をクリアする第 2 ステップと、
 第 2 レジスタ R_2 の最下位ビットを、第 3 レジスタ R_3 に加え、第 2 レジスタ R_2 のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ を、第 3 レジスタ R_3 に加え、この演算を、 $k=1$ から予め定める数 i まで繰返す第 3 ステップと、
 第 1 レジスタ R_1 の最下位ビットを、メモリに順にストアする第 4 ステップと、
 第 1 レジスタ R_1 を 1 ビット分だけ下位方向にシフトし、かつ第 3 レジスタ R_3 の最下位ビットのストア内容を、第 1 レジスタ R_1 の最上位ビットに転送する第 5 ステップとを含み、
 第 2 ステップ～第 5 ステップを予め定める回数 M だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第 6 ステップとを含むことを特徴とするスクランブル方法。

【請求項 2】 複数 n のセルを有する第 1 レジスタ R_1 に初期値を設定する第 1 ステップと、
 第 1 レジスタ R_1 の内容を保持したままで、第 1 レジスタ R_1 と同数のセルを有する第 2 レジスタ R_2 に、第 1 レジスタ R_1 の内容を転送し、さらに 1 ビット分のセルを有する第 3 レジスタ R_3 をクリアする第 2 ステップと、
 第 2 レジスタ R_2 の最下位ビットを、第 3 レジスタ R_3 に加え、第 2 レジスタ R_2 のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ と、第 3 レジスタ R_3 のストア内容との排他的論理和演算を行い第 3 レジスタ R_3 にストアし、この演算を、 $k=1$ から予め定める数 i まで繰返す第 3 ステップと、
 第 1 レジスタ R_1 の最下位ビットを、メモリに順にストアする第 4 ステップと、
 第 1 レジスタ R_1 を 1 ビット分だけ下位方向にシフトし、かつ第 3 レジスタ R_3 のストア内容を、第 1 レジスタ R_1 の最上位ビットに転送する第 5 ステップとを含み、
 第 2 ステップ～第 5 ステップを予め定める回数 M だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第 6 ステップとを含むことを特徴とするスクランブル方法。

【請求項 3】 複数 n のセルを有する第 1 レジスタ R_1

と、

第 1 レジスタ R_1 と同数のセルを有する第 2 レジスタ R_2 と、

複数のセルを有する第 3 レジスタ R_3 と、
 メモリと、

処理回路であって、第 1 レジスタ R_1 に初期値を設定した後、第 3 レジスタ R_3 をクリアし、第 1 レジスタ R_1 の内容を保持したままで、その第 1 レジスタ R_1 の内容を第 2 レジスタ R_2 に転送し、第 2 レジスタ R_2 の最下位ビットを第 3 レジスタ R_3 に加え、第 2 レジスタ R_2 のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ を第 3 レジスタ R_3 のストア内容に加え、この演算を、 $k=1$ から予め定める数 i まで繰返し、第 1 レジスタ R_1 の最下位ビットを、メモリに順にストアし、次に、第 1 レジスタ R_1 を 1 ビットだけ下位方向にシフトし、かつ第 3 レジスタ R_3 の最下位ビットのストア内容を第 1 レジスタ R_1 の最上位ビットに転送し、このような動作を予め定める回数 M だけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置。

【請求項 4】 複数 n のセルを有する第 1 レジスタ R_1 と、

第 1 レジスタ R_1 と同数のセルを有する第 2 レジスタ R_2 と、

1 ビットのセルを有する第 3 レジスタ R_3 と、
 メモリと、

処理回路であって、第 1 レジスタ R_1 に初期値を設定した後、第 3 レジスタ R_3 をクリアし、第 1 レジスタ R_1 の内容を保持したままで、その第 1 レジスタ R_1 の内容を第 2 レジスタ R_2 に転送し、第 2 レジスタ R_2 の最下位ビットを第 3 レジスタ R_3 に加え、第 2 レジスタ R_2 のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ と、第 3 レジスタ R_3 のストア内容との排他的論理和演算を行い第 3 レジスタ R_3 にストアし、この演算を、 $k=1$ から予め定める数 i まで繰返し、第 1 レジスタ R_1 の最下位ビットを、メモリに順にストアし、次に、第 1 レジスタ R_1 を 1 ビットだけ下位方向にシフトし、かつ第 3 レジスタ R_3 のストア内容を第 1 レジスタ R_1 の最上位ビットに転送し、このような動作を予め定める回数 M だけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、たとえばテレビジョン・ファクシミリ多重放送においてファクシミリ信号のス

クランブルを行うためなど擬似乱数符号重畳方式に対して好適に実施することができるスクランブル方法および装置に関する。

【 0 0 0 2 】

【従来の技術】従来技術による擬似乱数符号重畳方式（PN加算方式と呼ばれている）のスクランブル方法の一例は、図 3 に示されている。この先行技術は、合計 n 個のセル $D_1 \sim D_n$ を有する線型シフトレジスタによって生成された PN 信号（擬似乱数符号系列）を排他的論理和演算する。システムによって予め定められたビット数のフレームと呼ばれるブロック毎に行われる初期化に際しては、シフトレジスタのセル $D_1 \sim D_n$ に、論理「1」または論理「0」の論理値 $P_1 \sim P_n$ を設定し、外部から加えられるクロック信号に同期し、各セル $D_1 \sim D_n$ の論理値が出力され、図 3 の左から右に隣接するセルへ入力される。最も右側のセル D_1 の出力と第 f_1 番目のセル D_{f_1} の出力とが排他的論理和ゲート G_{f_1} に与えられ、排他的論理和ゲート G_{f_2} には前段の排他的論理和ゲート G_{f_1} の出力と第 f_2 番目のセル D_{f_2} の出力とが与えられ、最終段の排他的論理和ゲート G_{f_i} の出力は最も左側のセル D_n に入力される。最も右側のセル D_1 の出力と、PN加算されるべき信号が、1 クロック信号毎に 1 ビット分ずつライン 1 を介して排他的論理和ゲート G_0 に入力される。

【 0 0 0 3 】 こうして送信された信号は、図 4 に示されるように受信回路 2 によって受信され、図 3 で示される構成と同様なセル $D_1 \sim D_n$ を有するシフトレジスタと排他的論理和ゲート $G_{f_1} \sim G_{f_i}$ とを含む回路の出力とともに排他的論理和ゲート G_{01} に与えられ、ライン 3 からは、元の信号、すなわち図 3 のライン 1 に与えられた信号が得られる。図 3 における送信側の初期値設定のためのフレーム同期およびクロック信号と、図 4 における受信側での初期値設定のためのフレーム同期およびクロック信号とは、同期される。

【 0 0 0 4 】 このような図 3 および図 4 に示される構成は、いわゆるハードウェアによって実現されるものであり、したがってこのようなスクランブル動作を、もっと簡単な方法で実現することが望まれる。

【 0 0 0 5 】

【発明が解決しようとする課題】本発明の目的は、任意のハードウェア構成に対して、ソフトウェアの対応のみで簡単にスクランブルを実現することができる方法および装置を提供することである。

【 0 0 0 6 】

【課題を解決するための手段】本発明は、複数 n のセルを有する第 1 レジスタ R_1 に初期値を設定する第 1 ステップと、第 1 レジスタ R_1 の内容を保持したままで、第 1 レジスタ R_1 と同数のセルを有する第 2 レジスタ R_2 に、第 1 レジスタ R_1 の内容を転送し、さらに複数のセルを有する第 3 レジスタ R_3 をクリアする第 2 ステップ

と、第 2 レジスタ R_2 の最下位ビットを、第 3 レジスタ R_3 に加え、第 2 レジスタ R_2 のストア内容を、予め定める数 $(f(k+1) - f_k)$ のビット分だけ下位方向にシフトし、その最終出力 D_{f_k} を、第 3 レジスタ R_3 に加え、この演算を、 $k=1$ から予め定める数 i まで繰返す第 3 ステップと、第 1 レジスタ R_1 の最下位ビットを、メモリに順にストアする第 4 ステップと、第 1 レジスタ R_1 を 1 ビット分だけ下位方向にシフトし、かつ第 3 レジスタ R_3 の最下位ビットのストア内容を、第 1 レジスタ R_1 の最上位ビットに転送する第 5 ステップとを含み、第 2 ステップ～第 5 ステップを予め定める回数 M だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第 6 ステップとを含むことを特徴とするスクランブル方法である。

【 0 0 0 7 】 また本発明は、複数 n のセルを有する第 1 レジスタ R_1 に初期値を設定する第 1 ステップと、第 1 レジスタ R_1 の内容を保持したままで、第 1 レジスタ R_1 と同数のセルを有する第 2 レジスタ R_2 に、第 1 レジスタ R_1 の内容を転送し、さらに 1 ビット分のセルを有する第 3 レジスタ R_3 をクリアする第 2 ステップと、第 2 レジスタ R_2 の最下位ビットを、第 3 レジスタ R_3 に加え、第 2 レジスタ R_2 のストア内容を、予め定める数 $(f(k+1) - f_k)$ のビット分だけ下位方向にシフトし、その最終出力 D_{f_k} と、第 3 レジスタ R_3 のストア内容との排他的論理和演算を行い第 3 レジスタ R_3 にストアし、この演算を、 $k=1$ から予め定める数 i まで繰返す第 3 ステップと、第 1 レジスタ R_1 の最下位ビットを、メモリに順にストアする第 4 ステップと、第 1 レジスタ R_1 を 1 ビット分だけ下位方向にシフトし、かつ第 3 レジスタ R_3 のストア内容を、第 1 レジスタ R_1 の最上位ビットに転送する第 5 ステップとを含み、第 2 ステップ～第 5 ステップを予め定める回数 M だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第 6 ステップとを含むことを特徴とするスクランブル方法である。

【 0 0 0 8 】 また本発明は、複数 n のセルを有する第 1 レジスタ R_1 と、第 1 レジスタ R_1 と同数のセルを有する第 2 レジスタ R_2 と、複数のセルを有する第 3 レジスタ R_3 と、メモリと、処理回路であって、第 1 レジスタ R_1 に初期値を設定した後、第 3 レジスタ R_3 をクリアし、第 1 レジスタ R_1 の内容を保持したままで、その第 1 レジスタ R_1 の内容を第 2 レジスタ R_2 に転送し、第 2 レジスタ R_2 の最下位ビットを第 3 レジスタ R_3 に加え、第 2 レジスタ R_2 のストア内容を予め定める数 $(f(k+1) - f_k)$ のビット分だけ下位方向にシフトし、その最終出力 D_{f_k} を第 3 レジスタ R_3 のストア内容に加え、この演算を、 $k=1$ から予め定める数 i まで繰返し、第 1 レジスタ R_1 の最下位ビットを、メモリに

順にストアし、次に、第1レジスタR1を1ビットだけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置である。

【0009】また本発明は、複数nのセルを有する第1レジスタR1と、第1レジスタR1と同数のセルを有する第2レジスタR2と、1ビットのセルを有する第3レジスタR3と、メモリと、処理回路であって、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を保持したままで、その第1レジスタR1の内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ と、第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、この演算を、 $k=1$ から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に、第1レジスタR1を1ビットだけ下位方向にシフトし、かつ第3レジスタR3のストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置である。

【0010】

【作用】本発明に従えば、第1レジスタR1は複数nのセル $D1 \sim Dn$ を有し、第2レジスタR2は同数nのセル $E1 \sim En$ を有し、第3レジスタR3は少なくとも1つのセル $Q1 \sim Qs$ を有し、さらにメモリが備えられ、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を第2レジスタR2に複写し、その第2レジスタR2の最下位ビットをR3に加え、第2レジスタR2のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ、下位方向にシフトし、その最終出力 $Df(k)$ を複数セルの第3レジスタR3に加算し、あるいはまた1ビット分のセルを有する第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、このような演算を、 $k=1$ から予め定める数iまで繰返し、この第1レジスタR1の最下位ビットをメモリに順にストアしてゆき、第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ複数ビットを有する第3レジスタR3の最下位ビットのストア内容、または1ビット分のセルを有する第3レジスタR3のストア内容を、第1レジスタR

1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する。PN加算方式によるスクランブルでは、フレームと呼ばれるブロック毎に初期化が行われる（同じPN信号列が用いられる）前記メモリのストア内容は1つのフレームのPN加算信号列に相当し、一度始めに計算しておけば、フレーム毎に計算し直す必要がないので何回でも使うことができる。このような演算は、コンピュータのプログラム演算処理によって実現され、したがって前述の図3および図4に示される具体的な電氣的構成を必要とせず、したがっていかなるハードウェア構成に対してもソフトウェアの対応のみで適応することができるので、実現が容易である。

【0011】

【実施例】図1は、本発明の一実施例のブロック図である。マイクロコンピュータなどによって実現される処理回路5には、信号発生回路4からは、テレビジョン・ファクシミリ多重放送において送信すべき放送フォーマットの信号が出力される。処理回路5には、フロッピディスクやキーボードなどのプログラム入力手段6が接続される。また処理回路5には、第1レジスタR1と第2レジスタR2と第3レジスタR3とが接続され、さらにメモリ7が備えられる。このような処理回路5は、図3に示される電気回路と同様なスクランブル動作を行う。

【0012】図2は、図1に示される処理回路5の動作を説明するためのフローチャートである。図1および図2を併せて参照して、第1レジスタR1は複数nのセル $D1 \sim Dn$ を有しており、ステップa1においてその第1レジスタR1に初期値が設定され、すべての各セル $D1 \sim Dn$ には、初期値 $P1 \sim Pn$ がそれぞれ入力される。 $P1 \sim Pn$ は、論理「1」または論理「0」である。このステップa1では、処理回路5に備えられているカウンタ8の計数値Nが0に設定される。このカウンタ8の値Nは、今現在、第1レジスタR1を何ビットシフトしたかを表す。

【0013】第2レジスタR2は、第1レジスタR1のセル $D1 \sim Dn$ の数n以上の数のセル $E1 \sim En$ を有していてもよい。

【0014】ステップa2では、第3レジスタR3を論理「0」にクリアする。この第3レジスタR3は複数sのセル $Q1 \sim Qs$ を有していてもよい。第1レジスタR1のストア内容は、その第1レジスタR1の内容を保持したままで、第2レジスタR2に転送される。ステップa3では、第2レジスタR2の最下位ビット $E1$ のストア内容を、第3レジスタR3の最下位のセル $Q1$ に転送し、このとき第2レジスタR2を1ビットだけ図1の右方にシフトする。

【0015】そこで次のステップa4では、シフトレジスタR2を、 $(f1-1)$ 回、すなわち $(f1-1)$ ビ

ット分だけ、右方にシフトし、その最終出力D f 1を、第3レジスタR 3に加算する。これによってその第3レジスタR 3の最下位のセルQ 1には、前記最終出力D f 1とセルQ 1に初めにストアされていた内容との排他的論理和が演算されることになり、その演算結果が最下位のセルQ 1にストアされたことになる。

【0016】ステップa 5では、kを1にセットし、次のステップa 6では、第2レジスタR 2を、 $(f(k+1) - f(k))$ のビット分だけ、右方にシフトし、その最終出力D f kを、第3レジスタR 3に加算する。こうして第3レジスタR 3の最下位のセルQ 1には、最終出力D f kとそのセルQ 1の初めのストア内容との排他的論理和がストアされることになる。

【0017】次のステップa 7では、 $(k+1)$ が予め定めた数iに達したかどうか判断され、そうでなければ、次のステップa 8において値kを1だけインクリメントし、ステップa 6に戻る。このようにして、第3レジスタR 3の最下位のセルQ 1には、その第3レジスタR 3のセルQ 1のストア内容を同一の参照符R 3で表すとすると、数1で示される演算結果がストアされることになる。

【0018】

【数1】

$$R3 = D1 \oplus Df1 \oplus Df2 \oplus \dots \oplus Dfi$$

【0019】次のステップa 9では、レジスタR 1の最下位ビットD 1の内容を、メモリ7にストアする。このメモリ7は、PN信号の1周期分（スクランブルの単位である1フレーム分）のビット数（M）をストアする容量を有し、たとえば1152バイトであってもよい。

【0020】ステップa 10ではNをインクリメントし、ステップa 11では、カウンタ8の計数値Nが、予め定める値M、すなわち前述の1152バイトに達したかどうか判断され、計数値Nが値M未満であるときには、ステップa 13に移る。次のステップa 13では、レジスタR 1を1ビット分だけ右方にシフトし、その後ステップa 14では、第3レジスタR 3の最下位のセルQ 1のストア内容を、第1レジスタR 1の最上位セルD nにストアする。このステップa 14から、元のステップa 2に戻って、同様の演算を繰り返す。

【0021】ステップa 11においてカウンタ8の計数値Nが、予め定める値Mに等しいときには、ステップa 12に移り、テレビジョン・ファクシミリ多重放送のファクシミリ信号の放送フォーマットになってインタリーブされたG 3（CCITT勧告T. 4）の信号発生回路4からの信号の各フレーム毎に各ビットと、メモリ7のストア内容の各ビットとの排他的論理和が演算され、ライン9（図1参照）から導出され、この信号は、一旦メモリ10にストアされ、その後放送されてもよく、あるいはまたライン9からの信号をいわゆるリアルタイムで送信手段11によって放送するようにしてもよい。この

ような図1および図2に示される実施例は、受信回路においてもまた前述の図4のように、用いられてもよい。このとき信号発生回路4は、受信された信号を発生する。

【0022】メモリ10は、たとえばフロッピディスクなどであって、着脱可能な内部記憶装置によって実現されてもよい。また信号発生回路14は信号をリアルタイムで発生してもよいが、ハードディスクなどの記録・再生手段であってもよい。

【0023】本発明の他の実施例として、第3レジスタR 3は、単一のセルQ 1だけを有するレジスタであってもよく、このときには、そのセルQ 1のストア内容と、前記最終出力D f kとの排他的論理和演算を行い、その演算結果が、同じセルQ 1にストアされることになる。その他の動作は前述の実施例と同様である。

【0024】

【発明の効果】以上のように本発明によれば、複数のセルを有する第1レジスタR 1と、同数のセルを有する第2レジスタR 2と、少なくとも1つのセルを有する第3レジスタとメモリとを備え第3レジスタR 3をクリアした後、第1レジスタR 1を初期設定し、その内容を第2レジスタR 2に転送し、第2レジスタR 2の最下位ビットをR 3に加え、第2レジスタR 2のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ、一方向にシフトし、その最終出力D f kを第3レジスタR 3に加え、このような演算を $k=1$ から予め定める数iまで繰返し、第1レジスタR 1の最下位ビットを、メモリに順にストアし、第1レジスタR 1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR 3の最下位ビットのストア内容を、第1レジスタR 1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算するようにしたので、マイクロコンピュータなどのソフトウェアによってスクランブルの実現が可能となった。同一のPN信号を用いてスクランブルを行うときは、一度メモリにストアされた信号がそのまま使用できるので、図2のステップa 1～a 11およびa 13～a 14を省略することができる。また実際の回路を必要としないので経済的であり、またソフトウェア処理のため、いかなるハードウェア構成に対しても簡単かつ迅速に適応することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1に示される処理回路5の動作を説明するためのフローチャートである。

【図3】従来からの擬似乱数符号重畳方式（PN加算方式）による信号のスクランブルを行う構成を示す図である。

【図4】図3に示されるスクランブル信号の受信（デス

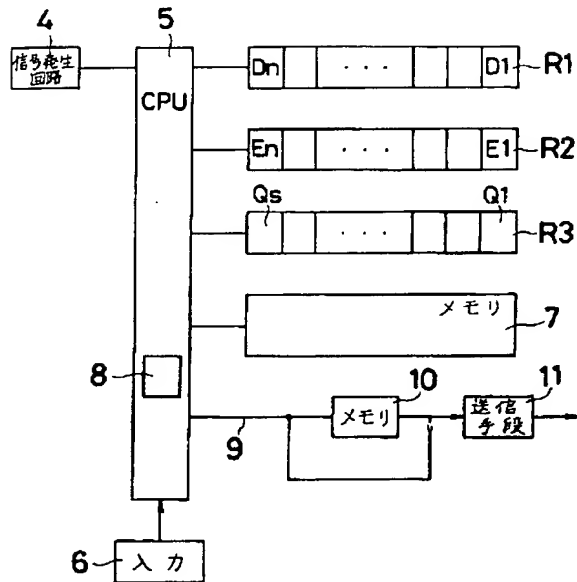
クランプ)を行うための構成を示すブロック図である。

【符号の説明】

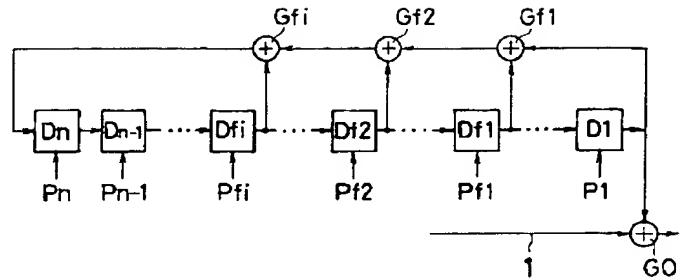
- 4 信号発生回路
5 処理回路

- 6 入力手段
7 メモリ
8 カウンタ
10 メモリ
11 送信手段

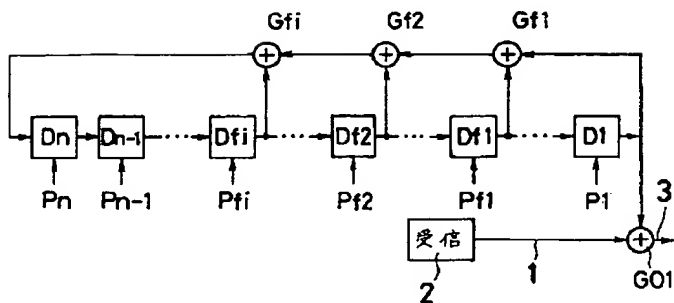
【図1】



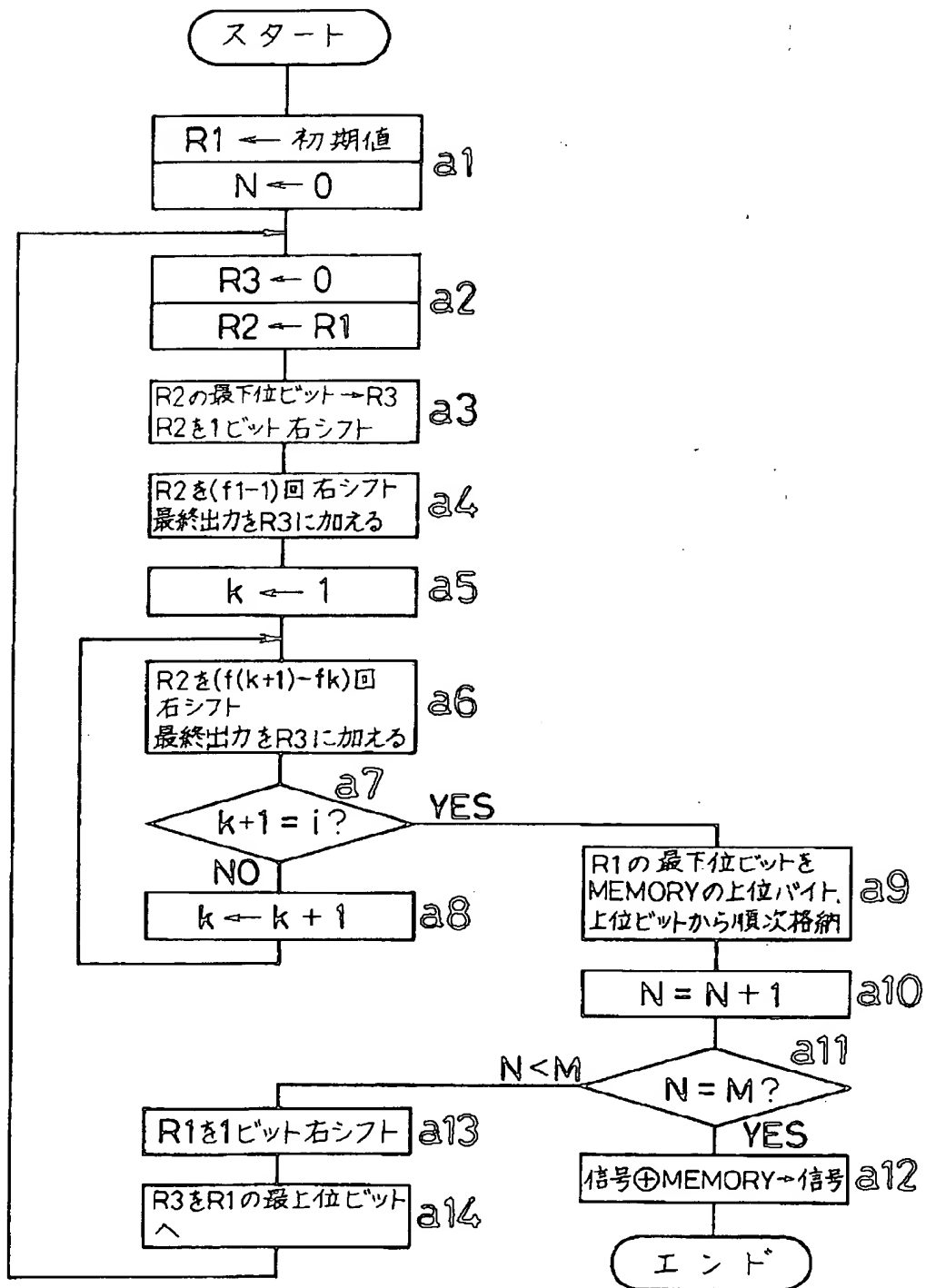
【図3】



【図4】



【図 2】



【手続補正書】

【提出日】平成4年6月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】メモリ10は、たとえばフロッピディスクなどであって、着脱可能な内部記憶装置によって実現されてもよい。また信号発生回路4は信号をリアルタイムで発生してもよいが、ハードディスクなどの記録・再生

手段であってもよい。

フロントページの続き

(51) Int. Cl.⁵

// H 0 4 N 7/167

識別記号

庁内整理番号

8943-5C

F I

技術表示箇所